

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270637

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 09-068540

(71)Applicant : ROHM CO LTD

(22)Date of filing : 21.03.1997

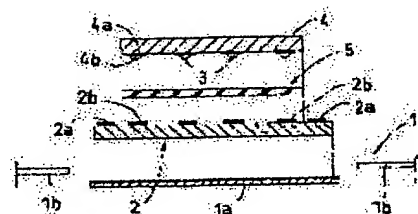
(72)Inventor : MORIFUJI TADAHIRO

## (54) STRUCTURE OF SEMICONDUCTOR DEVICE HAVING INTEGRATED CIRCUIT CHIPS

## (57)Abstract:

PROBLEM TO BE SOLVED: To keep the bending deformation to a small value or zero by providing at least a dummy bump at a central part inside each of regular bumps on either face or both faces of two IC chips.

SOLUTION: Each of connecting electrode pads 4a has a bump 4b protruding to one IC chip 2. At least a dummy bump 3 at a central part inside connecting electrode pads 4a on the bottom face of another IC chip 4 protrudes to the chip 2. If an external force is exerted on the central parts of both chips 2, 4 inside the bumps 4b in their peripheries enough to bend the central parts of the chips so as to mutually approach, a soft film 3 adhered to the central part keeps this bending deformation to a small value or zero.



## LEGAL STATUS

[Date of request for examination]

09.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270637

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 25/065  
25/07  
25/18

識別記号

F I

H 0 1 L 25/08

B

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平9-68540

(22) 出願日 平成9年(1997)3月21日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 森藤 忠洋

京都市右京区西院溝崎町21番地 ローム株式会社内

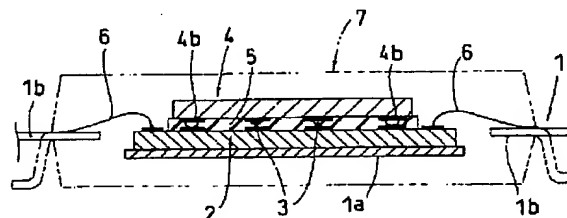
(74) 代理人 弁理士 石井 暁夫 (外2名)

(54) 【発明の名称】 複数の I C チップを備えた半導体装置の構造

(57) 【要約】

【課題】 一つの I C チップ 2 の上面に別の I C チップ 4 を積み重ねて、この別の I C チップを前記一つの I C チップにその周囲に設けたパンプ 4 b を介して電氣的に接続する場合に、両 I C チップ 2, 4 の中心部分の湾曲変形によって、割れが発生したり、両 I C チップ 2, 4 の回路素子にダメージを及ぼしたりすることを低減する。

【手段】 前記両 I C チップ 2, 4 の合わせ面のうち前記各パンプ 4 b より内側の中心部分に捨てパンプ 3 を設けて、前記の湾曲変形を小さくする。



## 【特許請求の範囲】

【請求項1】一つのICチップの上面に別のICチップを積み重ね、この別のICチップを前記一つのICチップに対して、これら両ICチップのうちいずれか一方又は両方に前記別のICチップの周囲に沿って適宜間隔で設けたバンパにて電気的に接続して成る半導体装置において、

前記一つのICチップが前記別のICチップに相対する面、及び前記別のICチップが前記一つのICチップに相対する面のうちいずれか一方又は両方の面に、前記各バンパより内側の中心部分に少なくとも一つ以上の捨てバンパを設けたことを特徴とする複数のICチップを備えた半導体装置の構造。

【請求項2】前記「請求項1」において、捨てバンパの一部又は全部を、電気接続用のバンパに構成したことを特徴とする複数のICチップを備えた半導体装置の構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一つのICチップの上面に、別のICチップを積み重ねて接続することによって、集積度を高めるようにした半導体装置に関するものである。

## 【0002】

【従来の技術】最近、ICチップを使用した半導体装置における集積度を高めるために、一つのICチップの上面に、別のICチップを積み重ね、この別のICチップを前記一つのICチップに対して、当該別のICチップの周囲に沿って適宜ピッチの間隔で設けた複数のバンパにて電気的に接続することが提案されている。

## 【0003】

【発明が解決しようとする課題】しかし、一つの上面に積み重ねた別のICチップを、その周囲に沿って設けた複数のバンパにて、前記一つのICチップに対して電気的に接続するように構成した場合、前記別のICチップのうち前記各バンパより内側の中心部分には、前記一つのICチップとの間に隙間ができ、換言すると、前記別のICチップと、その周囲に設けた各バンパにて一つのICチップに対して支持されていることにより、この別のICチップは、当該別のICチップのうち前記各バンパより内側の中心部分に一つのICチップに向かう方向の外力を受けたときにおいて、前記中心部分が一つのICチップに接近するように湾曲変形し易く形態になっており、また、前記一つのICチップも、当該一つのICチップのうち前記各バンパより内側の中心部分に別のICチップに向かう方向の外力を受けたときにおいて、前記中心部分が別のICチップに接近するように湾曲変形し易い形態になっているから、前記別のICチップ又は一つのICチップに割れが発生するばかりか、これら両ICチップのうち互いに対向する面に形成されている

各種の回路素子にダメージを及ぼすことが多発すると言う問題があり、特に、これらの問題は、前記一つのICチップの上面に積み重ね接続する別のICチップにおける大型化に比例して増大するのであった。

【0004】本発明は、この問題を解消できるようにした半導体装置の構造を提供することを技術的課題とするものである。

## 【0005】

【課題を解決するための手段】この技術的課題を達成するため本発明は、「一つのICチップの上面に別のICチップを積み重ね、この別のICチップを前記一つのICチップに対して、これら両ICチップのうちいずれか一方又は両方に前記別のICチップの周囲に沿って適宜間隔で設けたバンパにて電気的に接続して成る半導体装置において、前記一つのICチップが前記別のICチップに相対する面、及び前記別のICチップが前記一つのICチップに相対する面のうちいずれか一方又は両方の面に、前記各バンパより内側の中心部分に少なくとも一つ以上の捨てバンパを設ける。」と言う構成にした。

## 【0006】

【発明の作用・効果】このように構成することにより、両ICチップが、当該両ICチップのうち各バンパより内側の中心部分に外力を受けて、前記中心部分が互いに接近するように湾曲変形しても、この湾曲変形を、前記中心部分に少なくとも一つ以上設けた捨てバンパにて小さい値にとどめることができるか、前記の湾曲変形を皆無にすることができるのである。

【0007】従って、本発明によると、一つのICチップの上面に対して別のICチップを積み重ねて、その周囲に設けた複数のバンパにて接続する場合において、両ICチップを大きくしても、これら両ICチップに及ぶ外力のために、両ICチップが割れること、及び、両ICチップにおける回路素子にダメージを及ぼすことを確実に低減できる効果を有する。

【0008】特に、「請求項2」に記載したように、前記捨てバンパを、電気接続用バンパに構成することにより、両ICチップの相互間を電気的に接続するバンパの一部を利用して両ICチップの湾曲変形を小さく又は皆無できるから、バンパの数を多くすることを回避できる利点がある。

## 【0009】

【発明の実施の形態】以下、本発明の実施の形態を、図1～図6の図面について説明する。この図において、符号1は、平面において略矩形に形成したチップマウント部1aと、このチップマウント部1aにおける四つの各辺から外向きに延びる複数のリード端子1bとを備えた金属板製のリードフレームを示す。

【0010】符号2は、前記リードフレーム1におけるチップマウント1aの上面にダイボンディングされる一つのICチップを示し、この一つのICチップ2は、平

面視において矩形状に形成され、その上面には、中心部分に図示しない能動素子又は受動素子等のような回路素子の多数個が形成されていると共に、外側の部分に、外部への接続用電極パッド1aの複数個が周囲に沿って適宜間隔で形成され、この外部への接続用電極パッド1aの内側に、複数個の接続用電極パッド1bが周囲に沿って適宜間隔で形成されている。

【0011】また、符号4は、前記一つのICチップ2の上面に積み重ねられる別のICチップを示し、この別のICチップ4は、前記一つのICチップ2よりも小さい寸法の矩形状に形成され、その下面には、中心部分に図示しない能動素子又は受動素子等のような回路素子の多数個が形成されていると共に、外側の部分に、接続用電極パッド4aの複数個が、当該別のICチップ4における周囲に沿って適宜間隔で形成され、この各接続用電極パッド4aの各々には、一つのICチップ2に向かって突出するバンプ4bが設けられ、更に、前記別のICチップ4の下面のうちその周囲における前記各接続用電極パッド4aよりも内側の中心部分には、少なくとも一つ以上（本実施形態では四個）の捨てバンプ3が、前記一つのICチップ2に向かって突出するように設けられている。

【0012】更にまた、符号5は、前記一つのICチップ2における上面と、前記別のICチップ4の下面との間に介挿した接着フィルムを示し、この両接着フィルム5には、導電粒子が混入されている。そして、前記一つのICチップ2を、前記リードフレーム1におけるチップマウント部1aの上面に、図3に示すように、一つのICチップ2をダイボンディングしたのち、この一つのICチップ2の上面に対して、別のICチップ4を、その間に接着フィルム5を挟んで押圧する。

【0013】この押圧により、前記接着フィルム5は、両ICチップ2、4に対して接着するから、この接着フィルム5を介して両ICチップ2、4を互いに接着できるのであり、これと同時に、この接着フィルム5のうち別のICチップ4における各接続用電極パッド4aに設けたバンプ4bに該当する部分が、このバンプ4bにて、図4及び図5に示すように、部分的に強く圧縮変形されることになり、この強く圧縮変形される部分では、これに混入した導電粒子が互いに接触することになり、その結果、前記接着フィルム5のうち前記のように強く圧縮変形される部分が、厚さ方向についてのみ導電性を呈することになるから、前記別のICチップ4における各接続用電極パッド4aと、前記一つのICチップ2の上面に設けられている各接続用電極パッド2bとの相互間を、前記接着フィルム5を介して電氣的に接続することができる。

【0014】この状態で、前記接着フィルム5を乾燥・硬化することにより、両ICチップ2、4を、その間を電氣的に接続した状態のもとで、一体的に結合できるの

である。この場合において、前記別のICチップ4は、その周囲に設けた各バンプ4bを介して一つのICチップ2に対して支持されると言う形態になっていることにより、前記別のICチップ4における下面のうちその周囲の各接続用電極パッド4aよりも内側の中心部分に捨てバンプ3が設けられていないときには、前記別のICチップ4のうち前記各バンプより内側の中心部分に一つのICチップ2に向かう方向の外力を受けたときにおいて、前記中心部分が一つのICチップ2に接近するように容易に湾曲変形することになるから、当該別のICチップ4又は一つのICチップ2に割れが発生したり、これら両ICチップ2、4のうち互いに対向する面に形成されている各種の回路素子にダメージを及ぼしたりすることが多発するのである。

【0015】これに対し、前記したように、別のICチップ4における下面のうちその周囲の各接続用電極パッド4aよりも内側の中心部分に捨てバンプ3を設けると言う構成にすることにより、両ICチップ2、4が、当該両ICチップ2、4のうちその周囲における各バンプ4bより内側の中心部分に外力を受けて、前記中心部分が互いに接近するように湾曲変形しても、この湾曲変形を、前記中心部分に貼着した軟質フィルム3にて小さい値にとどめることができるか、或いは、前記の湾曲変形を皆無にすることができるのである。

【0016】なお、前記実施の形態は、一つのICチップ2の別のICチップ4との相互間をその周囲において電氣的に接続する各バンプ4bを、別のICチップ4における各接続用電極パッド4a側に設ける一方、前記両ICチップ2、4の湾曲変形を小さく規制するか皆無にするための捨てバンプ3を、別のICチップ4側に設けた場合を示したが、本発明はこれに限らず、前記バンプ4bを、一つのICチップ2における各接続用電極パッド2b側に設けたり、或いは、一つのICチップ2における各接続用電極パッド2bと別のICチップ4における各接続用電極パッド4aとの両方に設けるようにしても良く、また、前記捨てバンプ3を、一つのICチップ2側に貼着したり、或いは、両ICチップ2、4の両方に設けるように構成しても良いことは言うまでもない。

【0017】更にまた、前記捨てバンプ3を、前記別のICチップ4の周囲に設けた各バンプ4bと同様に、両ICチップ2、4の相互間を電氣的に接続するものに構成しても良いのである。このようにして、一つのICチップ2をリードフレーム1にダイボンディングし、この一つのICチップ2に対して別にICチップ4を固着すると、図6に示すように、前記一つのICチップ2における周囲の各接続用電極パッド1aと、リードフレーム1における各リード端子1bとの間を細い金属線6にてワイヤボンディングしたのち、前記両ICチップ2、4の全体を、二点鎖線で示すように、熱硬化性合成樹脂のトランスファ成形によるパッケージ体7にて密封する。

【0018】次いで、前記各リード端子1bを、リードフレーム1から切り離したのち、図6に二点鎖線で示すように、折り曲げることにより、半導体装置の完成品にするのである。

【図面の簡単な説明】

【図1】本発明の実施の形態を示す分解斜視図である。

【図2】図1の縦断正面図である。

【図3】リードフレームに対して一つのICチップを固着した状態を示す縦断正面図である。

【図4】前記一つのICチップに対して別のICチップを固着した状態を示す縦断正面図である。

【図5】図4の要部拡大図である。

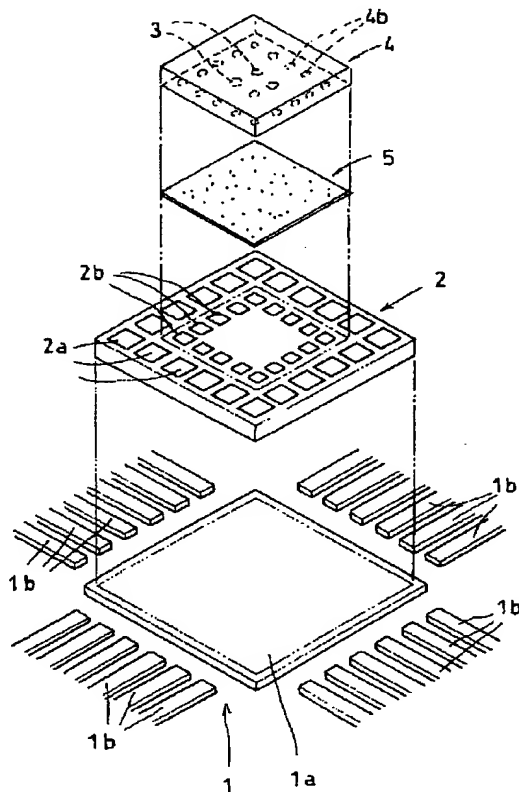
【図6】半導体装置の縦断正面図である。

\*【符号の説明】

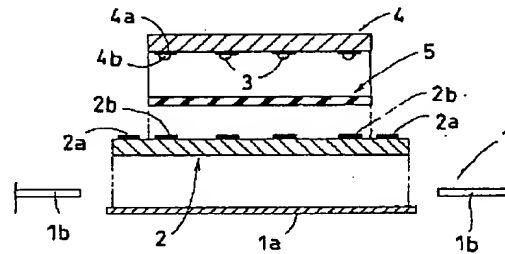
- |        |          |
|--------|----------|
| 1      | リードフレーム  |
| 1b     | リード端子    |
| 2      | 一つのICチップ |
| 2a, 2b | 接続用電極パッド |
| 3      | 捨てパンプ    |
| 4      | 別のICチップ  |
| 4a     | 接続用電極パッド |
| 4b     | パンプ      |
| 5      | 接着フィルム   |
| 6      | 金属線      |
| 7      | パッケージ体   |

\*

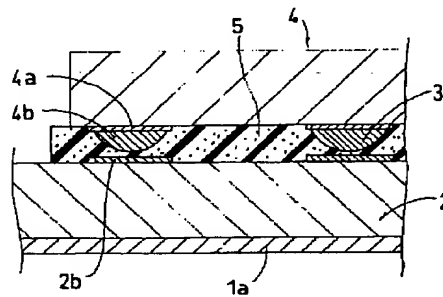
【図1】



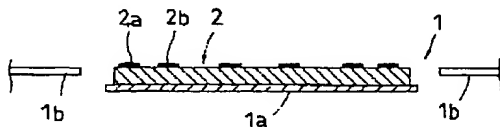
【図2】



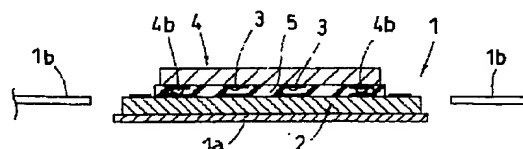
【図5】



【図3】



【図4】



(5)

特開平10-270637

【図6】

